

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168342

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 29/786  
H01L 21/8238  
H01L 27/092  
H01L 27/08  
H01L 27/12

(21)Application number : 11-351983

(71)Applicant : FUJITSU LTD

(22)Date of filing : 10.12.1999

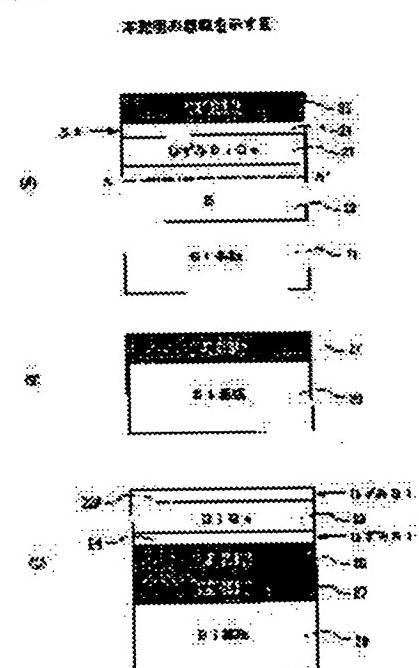
(72)Inventor : MIMURA TAKASHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To minimize dislocation introduced into an Si layer when mobility of carrier is improved by introducing strain into an Si layer constituting an SOI structure.

**SOLUTION:** A compression strain SiGe layer whose thickness is at most a critical film thickness is formed on an Si substrate, a thin Si layer is formed adjacent thereto in its non-strain state, the obtained lamination structure is stucked to another Si substrate via an insulation film, compression strain of the SiGe layer is relaxed by removing an Si substrate holding the compression strain SiGe layer, and tensile strain is induced in the adjacent thin Si layer by using the SiGe layer whose strain is relaxed.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-168342

(P2001-168342A)

(43)公開日 平成13年6月22日 (2001.6.22)

(61)Int.Cl'	識別記号	F I	ナ-ジ-ト(参考)
H 01 L 29/786		H 01 L 27/08	3 3 1 E 5 F 0 4 8
21/6238		27/12	B 5 F 1 1 0
27/092		29/78	6 1 8 E
27/08	3 3 1	27/08	3 2 1 B
27/12		29/78	6 1 8 B

審査請求 未請求 菲現項の数10 OL (全10頁)

(21)出願番号	特願平11-351983	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成11年12月10日 (1999.12.10)	(72)発明者	三村 高志 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	100070160 弁理士 伊東 忠彦

最終頁に続く

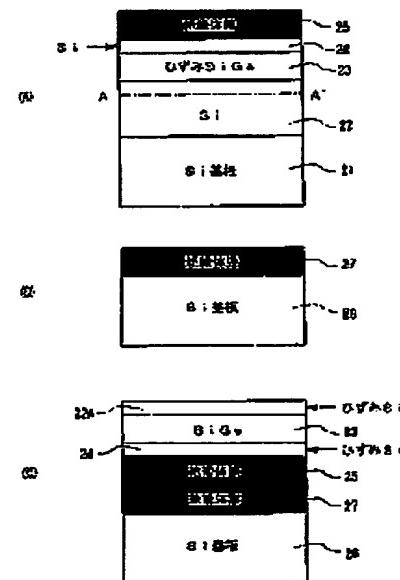
## (54)【発明の名称】 半導体基板およびその製造方法

## (57)【要約】

【課題】 SOI構造を構成するSi層中に歪みを導入し、キャリアの移動度を向上させる際に、Si層中に導入される転位を最小化する。

【解決手段】 Si基板上に臨界膜厚以下の厚さの圧縮歪みSiGe層を形成し、これに隣接して薄いSi層を気歪み状態で形成し、得られた積層構造を絶縁膜を介して別のSi基板に貼付け、前記圧縮歪みSiGe層を担持するSi基板を除去することにより前記SiGe層の圧縮歪みを緩和すると共に、前記歪み緩和したSiGe層を使って隣接する前記薄いSi層中に引っ張り歪みを誘起する。

本発明の原理を示す図



(2)

特開2001-168342

1

## 【特許請求の範囲】

【請求項1】 S：基板と、

前記S：基板上に形成された酸化膜と、

前記酸化膜上に形成された活性層とよりなる半導体装置において、  
前記活性層は、

前記酸化膜上に形成された第1の歪みS：層と、

前記第1の歪みS：層上にエピタキシャルに形成され、  
臨界膜厚よりも小さい厚さを有するS：Ge混晶層と、  
前記S：Ge混晶層上にエピタキシャルに形成された第2の歪みS：層とよりなり、前記第1および第2の歪みS：層の厚さの合計が前記S  
：Ge混晶層の厚さよりも小さく、  
前記第1および第2の歪みS：層の各々は、実質的に欠陥を含まないことを特徴とする半導体装置。

【請求項2】 さらに前記活性層上に形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成されたゲート電極と前記活性層中、前記ゲート電極の両側にそれぞれ形成された第1および第2の並設領域とを含むことを特徴とする半導体装置。

【請求項3】 前記第1および第2の並設領域はp型であり、前記S：Ge混晶層が前記ゲート電極直下においてp型チャネルを形成することを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1および第2の並設領域はn型であり、前記第1の歪みS：層が前記ゲート電極直下においてn型チャネルを形成することを特徴とする請求項2記載の半導体装置。

【請求項5】 S：Ge混晶に隣接して歪みS：層を有する半導体装置の製造方法において、

第1のS：基板上に、第1のS：層と臨界膜厚以下の厚さのS：Ge混晶層と前記S：Ge混晶層よりも薄い第2のS：層とを、順次エピタキシャルに堆積する工程と、

前記第2のS：層上に第1の絶縁膜を形成し、第1の積層構造体を形成する工程と、

第2のS：基板上に第2の絶縁膜を形成し、第2の積層構造体を形成する工程と、

前記第1の積層構造体と前記第2の積層構造体とを、前記第1の絶縁膜と前記第2の絶縁膜が密接するように貼りあわせ、第3の積層構造体を形成する工程と、

前記第3の積層構造体において、前記第1のS：基板および前記第1のS：層の一部を除去し、前記第1のS：層により歪みS：層を含む活性層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記第1のS：層の一部を除去する工程は、前記第1のS：層を前記S：Ge混晶層上に、前記第1のS：層の厚さと前記第2のS：層の厚さとの範囲が前記S：Ge混晶層の厚さよりも小さくなるように実

2

行されることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 さらに、前記活性層を形成する工程は、前記第1のS：層の一部を除去する工程の後で実行される熱処理工程を含むことを特徴とする請求項5または6記載の半導体装置の製造方法。

【請求項8】 前記除去工程は、電解エッチングにより実行されることを特徴とする請求項5～7のうち、いずれか一項記載の半導体装置の製造方法。

【請求項9】 前記除去工程は、選択エッチングにより実行されることを特徴とする請求項5～7のうち、いずれか一項記載の半導体装置の製造方法。

【請求項10】 前記第1のS：層を形成する工程は、前記第1のS：層のうち、前記除去工程で残される部分に導電性を付与する工程を含むことを特徴とする請求項8または9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般に半導体装置に係り、特に歪みS：活性層を有する高速半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 周知の如く、通常のS：結晶ではその対称性に起因して、第1ブリュアン領域中に、伝導帯下端近傍に対応して図1に示す六つの結晶学的に等価（逆格子空間において）な、しかし結晶運動量の異なる状態が存在し、伝導帶上において電子はこれらの状態のいずれをもとることができる。その結果、従来のS：を活性領域として使った半導体装置では、電子がこれらの結晶学的に等価な状態の間で散乱することに起因して、動作速度に限界が生じていた。

【0003】 これに対し、従来より、S：活性層に引っ張り歪みを与えることにより図1に矢印で示すように結晶の対称性を低下させ、電子が散乱できる状態の数を制限することにより電子の移動度が増大し、S：を活性層として使う半導体装置の動作速度を向上できることが認識されていた。例えば特開平9-82944号公報、あるいは特開平5-82558号公報を参照。さらに、歪みS：Ge層を活性層としたp型MOSFET（S.Verdonckt-Vandevoorde et al., IEEE Trans. Electron Devices, vol.12, no.8, 1991, pp.447-449）、あるいはCMOS回路装置（A. Sadek, et al., IEEE Trans. Electron Devices, vol.43, no.8, 1996, pp.1224-1232）も提案されている。

【0004】一方、従来のS：活性層を使った半導体装置の動作速度を向上させるために、SOI（silicon-on-insulator）構造の採用が有効であることが認識されている。SOI構造を採用することにより、配線の寄生容量に起因する信号遅延の問題が軽減される。そこで、かかるSOI構造においてS：層を歪ませたSSOI（st

(3)

特開2001-168342

3

rained-Si-on-insulator) 構造により、より高速な半導体装置を提供することが提案されている(Powell, A.R., Appl. Phys. Lett. vol.64, no.14, pp.1856-1858, 1994)。

【0005】図2は、前記従来技術によるSSOI構造の構造を示す。図2を参照するに、単結晶Si基板11上にはSIMOX法によりSiO<sub>2</sub>層12が形成され、さらに前記SiO<sub>2</sub>層12上には単結晶Si層13が前記Si基板11に対してエピタキシャルな関係を保って形成される。さらに前記単結晶Si層13上にはSiGe層14がエピタキシャルに形成され、前記SiGe層14上に、前記半導体装置の活性層を構成するSi層15がエピタキシャルに形成される。

【0006】図2の構成では前記Si活性層15に所望の歪みを与えるために前記SiGe層14を前記活性層15よりも厚く形成し、また前記SiGe層14の下のSi単結晶層13の厚さを前記SiGe層14の厚さよりも薄く形成する。その結果、前記Si単結晶層13中には転位およびこれに沿ったすべりが発生し前記SiGe層14は実質的に無歪み状態となる。そこで、前記SiGe層14上に薄いSi層15を形成すると、SiとSiGeとの間の格子定数差に起因する歪みが、かかるSi層15に付与される。

【0007】

【発明が解決しようとする課題】図2の構造では、Si単結晶基板中にSIMOX法により前記SiO<sub>2</sub>層12およびSi層13よりもなるSOI構造を形成し、かかるSi層13の上に、前記SiGe層14およびSi層15をエピタキシャルに成長させることにより得ることができる。あるいは、前記SOI構造を形成した後で、前記Si層13上に薄いSi層をエピタキシャルに形成した後で前記SiGe層14の成長を行なってもよい。

【0008】しかし、図2の従来の技術では前記SiGe層14を既存のSi層13の表面に再成長させる必要があるため、前記Si層13とSiGe層14との間に、あるいは前記Si層13の内部に結晶成長界面が形成されるのを回避することができない。かかる結晶成長界面は欠陥を含むことが多く、その結果かかる欠陥が前記SiGe層14を介して転位の形で前記歪みSi活性層15に伝達される実質的な危険が存在する。

【0009】さらに、先にも述べたように、前記従来のSSOI構造では、前記SiGe層14を実質的に無歪み状態とするために、前記SiGe層14の下方のSi層13を臨界膜厚以上の厚さとし、前記Si層13中に転位を誘起し、かかる転位に沿ってSi層13中にすべり、すなわち塑性変形を誘起している。この塑性変形が起こるのは、前記Si層13と下地SiO<sub>2</sub>層12との界面がすべりを起こすためである。この結果、前記従来技術では、かかるSi層13中に誘起された転位が観察されている。かかるSi層13中のすべりに伴って前記

4

SiGe層14の歪みは緩和され、SiGe層14は実質的に無歪み状態となる。その結果、前記SiGe層14上の薄いSi活性層15には、前記SiGe層14から強い引っ張り応力が印加される。

【0010】しかしながら、このようなSSOI構成では、前記転位を前記Si層13中に完全に閉じ込めるのは困難で、その結果、図2の従来のSSOI構造を活性領域に有する半導体装置では、前記Si層13中の転位が前記SiGe層14を貫通して前記歪みSi活性層15に到達する危険があり、前記歪みSi活性層15中におけるキャリアの散乱は避けられないと考えられる。

【0011】そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。本発明のより具体的な課題は、SSOI構造を活性領域中に有する半導体装置において、歪みSi層中の欠陥を実質的に除去することによりキャリア散乱を最小化し、所望の高速動作を実現することにある。

【0012】

【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、Si基板と、前記Si基板上に形成された酸化膜と、前記酸化膜上に形成された活性層とよりなる半導体装置において、前記活性層は、前記酸化膜上に形成された第1の歪みSi層と、前記第1の歪みSi層上にエピタキシャルに形成され、臨界膜厚よりも小さい厚さを有するSiGe混晶層と、前記SiGe混晶層上にエピタキシャルに形成された第2の歪みSi層となり、前記第1および第2の歪みSi層の厚さの合計が前記SiGe混晶層の厚さよりも小さく、前記第1および第2の歪みSi層の各々は、実質的に欠陥を含まないと特徴とする半導体装置により、解決する。

【0013】また本発明は上記の課題を、請求項2に記載したように、さらに前記活性層上に形成されたゲート酸化膜と、前記ゲート酸化膜上に形成されたゲート電極と前記活性層中、前記ゲート電極の両側にそれぞれ形成された第1および第2の並設領域とを含むことを特徴とする半導体装置により、解決する。

【0014】また本発明は上記の課題を、請求項3に記載したように、前記第1および第2の並設領域はD型であり、前記SiGe混晶層が前記ゲート電極直下においてD型チャネルを形成することを特徴とする請求項2記載の半導体装置により、解決する。また本発明は上記の課題を、請求項4に記載したように、前記第1および第2の並設領域はE型であり、前記第1の歪みSi層が前記ゲート電極直下においてE型チャネルを形成することを特徴とする請求項2記載の半導体装置により、解決する。

【0015】また本発明は上記の課題を、請求項5に記載したように、SiGe混晶に隣接して歪みSi層を有

(4)

特開2001-168342

5

する半導体装置の製造方法において、第1のS*i*基板上に、第1のS*i*層と臨界膜厚以下の厚さのS*:Ge*混晶層と前記S*:Ge*混晶層よりも薄い第2のS*i*層とを、順次エピタキシャルに堆積する工程と、前記第2のS*i*層上に第1の絶縁膜を形成し、第1の積層構造体を形成する工程と、第2のS*i*基板上に第2の絶縁膜を形成し、第2の積層構造体を形成する工程と、前記第1の積層構造体と前記第2の積層構造体とを、前記第1の絶縁膜と前記第2の絶縁膜が密接するように貼りあわせ、第3の積層構造体を形成する工程と、前記第3の積層構造体において、前記第1のS*i*基板および前記第1のS*i*層の一部を除去し、前記第1のS*i*層により歪みS*i*層を含む活性層を形成する工程とを含むことを特徴とする半導体装置の製造方法により、解決する。

【0016】また本発明は上記の課題を、請求項6に記載したように、前記第1のS*i*層の一部を除去する工程は、前記第1のS*i*層を前記S*:Ge*混晶層上に、前記第1のS*i*層の厚さと前記第2のS*i*層の厚さとの総和が前記S*:Ge*混晶層の厚さよりも小さくなるように実行されることを特徴とする請求項5記載の半導体装置の製造方法により、解決する。

【0017】また本発明は上記の課題を、請求項7に記載したように、さらに、前記活性層を形成する工程は、前記第1のS*i*層の一部を除去する工程の後で実行される熱処理工程を含むことを特徴とする請求項5または6記載の半導体装置の製造方法により、解決する。また本発明は上記の課題を、請求項8に記載したように、前記除去工程は、電解エッティングにより実行されることを特徴とする請求項5～7のうち、いずれか一項記載の半導体装置の製造方法により、解決する。

【0018】また本発明は上記の課題を、請求項9に記載したように、前記除去工程は、選択エッティングにより実行されることを特徴とする請求項5～7のうち、いずれか一項記載の半導体装置の製造方法により、解決する。また本発明は上記の課題を、請求項10に記載したように、前記第1のS*i*層を形成する工程は、前記第1のS*i*層のうち、前記除去工程で残される部分に導電性を付与する工程を含むことを特徴とする請求項8または9記載の半導体装置の製造方法により、解決する。

【作用】図3(A)～(C)は、本発明の原理を示す。【0019】図3(A)を参照するに、本発明ではS*i*基板21上にS*i*層22をエピタキシャルに成長させ、さらにその上にS*:Ge*混晶層23を臨界膜厚以下の厚さにエピタキシャル成長させる。前記S*i*層22とS*:Ge*混晶層23との間の格子定数差により、前記S*:Ge*混晶層23には圧縮歪みが蓄積する。ただし、前記S*:Ge*混晶層23は臨界膜厚以下の厚さに形成されているため、転位は発生しない。さらに、前記S*:Ge*層23上には薄いS*i*層24がエピタキシャルに形成され、さらに前記S*i*層24上には絶縁膜25が形成される。

6

【0020】図3(A)の工程と同時に、あるいはこれに組前後して、図3(B)の工程において別のS*i*基板26上に絶縁膜27が形成され、図3(C)の工程において図3(B)の構造上に前記図3(A)の構造を上下反転させた状態で、前記絶縁膜25が前記S*i*基板26上の絶縁膜27に密接するように貼り合わせる。さらに図3(C)の工程において、前記S*:Ge*層23上に位置するS*i*基板21およびS*i*層22が、図3(A)中のラインA-A'に対応する位置まで除去され、その結果、前記S*:Ge*層23上に、薄いS*i*層23Aが形成される。その際、本発明では前記S*:Ge*層23の下のS*i*層24と前記S*:Ge*層23上のS*i*層22Aの厚さの合計が、前記S*:Ge*層23の厚さよりも薄くなるように設定され、その結果、図3(C)の状態では、熱処理により前記絶縁膜25を特に前記S*:Ge*層23との界面近傍において塑性変形させることにより、図3(A)の状態において前記S*:Ge*層23中に蓄積されていた歪みが前記S*i*層22Aおよび24に移される。換言すると、図3(C)の状態では、前記S*:Ge*層23において実質的に歪みが緩和され、前記S*i*層22Aおよび24には引っ張り歪みが蓄積する。

【0021】先にも図1で説明したように、このように引っ張り歪みを蓄積したS*i*層22Aあるいは24では移動度が増大し、このためかかる歪みS*i*層22Aあるいは24を電子走行層として使うことにより、高速で動作する半導体装置を実現することが可能になる。その際、図2の従来の構造と異なり、図3(C)のSSOI構造では前記S*:Ge*層23の下のS*i*層24は臨界膜厚以下の厚さを有し、実質的に転位を含まない。

【0022】図4は、図3(C)のSSOI構造に対応するバンド構造図を示す。図4中、Ecは伝導帯を、またEvは価電子帯を示す。図4を参照するに、このような構造を正電圧によりバイアスすると、反転状態において前記歪みS*i*層24中に、前記S*:Ge*層23との界面に沿って電子のチャネルが反転層として形成される。その際、前記S*i*層24は引っ張り歪みを蓄積しているため、電子はかかる反転層中を、散乱の少ない、大きな移動度で輸送される。すなわち、前記歪みS*i*層24を電子走行層として使ったリチャネル型MOS半導体装置は、従来の通常のS*i*半導体装置を上回る高速動作が可能なである。その際前記歪みS*i*層24は厚い絶縁膜25、27に隣接しているため、寄生容量に起因する信号遅延も最小化される。

【0023】また図4のSSOI構造を負電圧によりバイアスすると、前記S*:Ge*層23中に、前記歪みS*i*層22Aとの界面に沿って、ホールのチャネルが反転層として形成される。すなわち、かかるSSOI構造は、pチャネル型MOS半導体装置としても使うことができる。ただし図4は概念図であり、上記の正電圧あるいは負電圧バイアスに伴うバンドの変形は示していない。

(5)

特開2001-168342

8

【0024】

【発明の実施の形態】 [第1実施例] 図5(A)～図6(E)は、本発明の第1実施例によるSSO!構造の形成方法を示す。図5(A)を参照するに、比抵抗が約0.01cm/Sの低抵抗S<sub>i</sub>基板31上に通常のMBE法により、比抵抗が約0.01cm/SのS<sub>i</sub>層32Aを約200nmの厚さに形成し、さらにその上に比抵抗が約10cm/S以上の高抵抗非ドープS<sub>i</sub>層32Bを、同じくMBE法により約5nmの厚さに形成する。

【0025】さらに、図5(B)の工程において、前記非ドープS<sub>i</sub>層32B上に、組成が例えばS<sub>i</sub>...Ge...で表されるS<sub>i</sub>Ge混晶層33をMBE法により、約25nmの厚さに形成し、さらにその上に非ドープS<sub>i</sub>層34を約5nm、MBE法により堆積した後、前記S<sub>i</sub>層34上にS<sub>i</sub>O<sub>x</sub>膜35を通常の熱CVD法により、約100nmの厚さに形成する。

【0026】このようにして形成されたS<sub>i</sub>Ge混晶層33はS<sub>i</sub>よりも実質的に大きい格子定数を有するため、前記S<sub>i</sub>基板31およびS<sub>i</sub>エピタキシャル層32A、32Bを含む厚いS<sub>i</sub>単結晶層から歪みを受け、実質的な圧縮歪みを蓄積する。一方、前記S<sub>i</sub>単結晶層は厚いため、歪みを蓄積することとはほとんどない。一方、前記S<sub>i</sub>Ge混晶層33の厚さは、前記S<sub>i</sub>Ge組成のS<sub>i</sub>Ge混晶層の、S<sub>i</sub>単結晶に対する臨界膜厚以下の厚さに設定されているため、前記S<sub>i</sub>Ge混晶層33中に転位が発生することはない。前記S<sub>i</sub>Ge混晶層33において、Geの組成を0.5を越えて大きくすることも可能であるが、その場合には、前記S<sub>i</sub>Ge混晶層33中に蓄積される圧縮歪みは大きくなるものの、前記臨界膜厚も減少するため、転位の発生を回避するために層33の膜厚を小さく設定することが必要である。前記S<sub>i</sub>Ge混晶層の実用的な組成範囲は、Ge組成が0.1～0.6(10～60%)程度と考えられる。

【0027】さらに、前記図5(A)、(B)の工程とは別に、図5(C)の工程において、比抵抗が約10cm/Sのp型S<sub>i</sub>基板41上に別のS<sub>i</sub>O<sub>x</sub>膜42が、熱酸化法により約300nmの厚さに形成され、次に図6(D)の工程で、図5(B)の構造が前記図5(C)の構造上に、上下反転した状態で、すなわち前記S<sub>i</sub>O<sub>x</sub>膜35が前記S<sub>i</sub>O<sub>x</sub>膜42に密接するように、約13.3Pa(0.1Torr)程度の真空中で貼り合わせられ、約300°Cの温度で熱処理することにより、前記S<sub>i</sub>O<sub>x</sub>膜35およびS<sub>i</sub>O<sub>x</sub>膜42が強固に接合される。

【0028】さらに図6(E)の工程において、前記図6(D)の構造に対してHF水溶液中において電解エッチングを施し、前記高抵抗S<sub>i</sub>層32Bを残し、前記低抵抗S<sub>i</sub>基板31および低抵抗S<sub>i</sub>層32Aを選択的に除去する。かかる電解エッチングでは、比抵抗が約0.1cm/S以下の低抵抗S<sub>i</sub>層が、選択的にエッチング

除去される。その結果、先に図3(C)で説明した構造に対応する、歪みS<sub>i</sub>層32Bが裏面で回成されたSSO!構造が得られる。

【0029】図6(E)の工程では、前記低抵抗S<sub>i</sub>基板31および低抵抗S<sub>i</sub>層32Aを除去する際に、先に説明した電解エッチング工程の代わりにHFとHNO<sub>3</sub>とCH<sub>3</sub>COOHの混合液をエッチャントとしたウエットエッチング法を使うこともできる。この場合にも、前記低抵抗S<sub>i</sub>基板31あるいは低抵抗S<sub>i</sub>層32Aの比抵抗が0.1cm/S以下である場合に、高抵抗S<sub>i</sub>層32Bに対して1000倍を超える選択比が実現できる(Sumitomo, Y. et al., Electrochim. Soc., Extended Abstracts, vol.72, no.1, pp.74-75, 1972)。

【0030】最後に図6(E)の構造に対して約500°Cで1時間程度の熱処理を行なうことにより、前記絶縁膜35とS<sub>i</sub>層34との界面にすべりが発生し、その結果前記S<sub>i</sub>Ge混晶層33の歪み状態が実質的に緩和すると同時に、歪みが前記S<sub>i</sub>層34および32Bに移され、S<sub>i</sub>層34および32Bが、当初の無歪み状態から、引っ張り歪みを蓄積した状態に遷移する。その際、前記S<sub>i</sub>Ge混晶層33の厚さが、前記S<sub>i</sub>層34および32Bを合計した厚さよりも大きいため、前記S<sub>i</sub>Ge混晶層33は、前記実質的に歪みが緩和した状態を維持する。

【0031】なお、本実施例において前記S<sub>i</sub>O<sub>x</sub>膜35および42の代わりに、S<sub>i</sub>N膜を使うことも可能である。さらに、それ以外にも、前記S<sub>i</sub>層34との間に界面において熱処理により塑性変形が生じるものであれば、他のアモルファス絶縁体膜を使うことも可能である。

【第2実施例】図7(A)、(B)は、本発明の第2実施例によるSSO!構造を示す。ただし図7(A)は先に図5(B)の構造に対応し、図7(B)は図6(E)の構造に対応する。図7(A)、(B)中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0032】図7(A)を参照するに、本実施例においては先の実施例の図5(B)に対応する工程において、前記S<sub>i</sub>層34上に、前記歪みS<sub>i</sub>Ge混晶層33と実質的に同じ組成を有する別の歪みS<sub>i</sub>Ge混晶層33Aを、約20nmの厚さに堆積し、前記CVD-S<sub>i</sub>O<sub>x</sub>膜35を前記S<sub>i</sub>Ge混晶層33A上に形成している。

【0033】また図6(E)に対応する図7(B)の構造では、前記歪みS<sub>i</sub>層34が前記S<sub>i</sub>Ge混晶層33Aと33との間に形成されるが、かかる構造では半導体装置の活性層として使われる歪みS<sub>i</sub>層34がS<sub>i</sub>O<sub>x</sub>膜35に対して軽くして形成されるため、前記歪みS<sub>i</sub>層34中を走行する電子が前記S<sub>i</sub>O<sub>x</sub>膜35界面の凹凸により散乱される問題が軽減される。このため、前記歪みS<sub>i</sub>層34を活性層に使うことにより、電子の移動度をさらに向上させることが可能になる。

(6)

特開2001-168342

9

【第3実施例】図8(A)～図12(I)は、本発明の第8実施例によるCMOSインバータ50の製造方法を示す。

【0034】図8(A)を参照するに、図5(C)に対応する工程によりS<sub>i</sub>基板51上にS<sub>i</sub>O<sub>x</sub>膜52が形成され、さらに図8(B)の工程において、図5(B)の工程に対応してp型S<sub>i</sub>基板61上にp型S<sub>i</sub>層62Aと、非ドープS<sub>i</sub>層62Bと、非ドープS<sub>i</sub>Ge層63と、非ドープS<sub>i</sub>層64とを順次エピタキシャルに堆積し、さらに前記非ドープS<sub>i</sub>層64上にCVD-S<sub>i</sub>O<sub>x</sub>膜65を堆積した構造が形成される。

【0035】次に図9(C)の工程において、先の図6(D)の工程に対応して前記図8(B)の構造が上下反転した状態で図8(A)の構造上に接合され、図9(D)の工程において、図9(C)のp型S<sub>i</sub>基板61およびp型S<sub>i</sub>層62Aが選択的電解エッティングにより除去される。さらに図9(D)の工程においては熱処理を行なうことにより、前記S<sub>i</sub>O<sub>x</sub>膜52および65中に塑性変形を誘起し、前記S<sub>i</sub>Ge層63中の圧縮歪みを緩和させると同時に、隣接するS<sub>i</sub>層62Bおよび64中に引っ張り歪みを誘起する。

【0036】次に図10(E)の工程において前記歪みS<sub>i</sub>層62B上に熱酸化膜66を形成し、さらに前記熱酸化膜66上にポリシリコンあるいはW等よりなる導電層67を一様に形成する。さらに図10(F)の工程において前記導電層67をバターニングしてゲート電極67Aおよび67Bを形成し、前記ゲート電極67Bを含む領域をレジストパターン68Aで保護しながら、前記ゲート電極67Aを含む領域中に、A<sub>s</sub>あるいはP<sup>+</sup>等のn型不純物をイオン注入により導入する。

【0037】さらに、図11(G)の工程において前記ゲート電極67Aを含む領域をレジストパターン68Bにより保護しながら前記ゲート電極67Bを含む領域中にB<sup>+</sup>あるいはBF<sub>3</sub><sup>+</sup>等のp型不純物をイオン注入し、図11(H)の工程において先に図10(F)および図11(G)の工程で導入された不純物を活性化させる。その結果、前記エピタキシャル層64、63、62Bよりなる活性層69中、前記ゲート電極67Aの両側に、n<sup>+</sup>型の逆散領域69Aおよび69Bが、また前記ゲート電極67Bの両側にp<sup>+</sup>型の逆散領域69Cおよび69Dが形成される。

【0038】さらに図12(I)の工程において、図11(H)の構造をS<sub>i</sub>Nよりなるバッシベーション膜70により覆い、さらに前記バッシベーション膜70中に前記逆散領域69A、69B、69Cおよび69Dをそれぞれ露出するコンタクトホール70A、70B、70Cおよび70Dを形成する。さらに、前記コンタクトホール70Aを介して前記逆散領域69Aにコンタクトするように電極71Aを形成し、前記コンタクトホール70Bを介して前記逆散領域69Bにコンタクトするよう

10

に、また前記コンタクトホール70Cを介して前記逆散領域69Cにコンタクトするように電極71Bを形成し、さらに前記コンタクトホール70Dを介して前記逆散領域69Dにコンタクトするように電極71Cを形成することにより、所望のCMOSインバータ50が得られる。

【0039】先にも図4で説明したように、かかるCMOS構造では、電子のチャネル64CHが前記ゲート電極67A直下の歪みS<sub>i</sub>層64中に、またホールのチャネル63CHが、前記ゲート電極67B直下のS<sub>i</sub>Ge複晶層63中に形成される。図12(I)のCMOSインバータはSOI構造を有し、しかも電子のチャネル64CHが、電子移動度の大きい歪みS<sub>i</sub>層64中に形成されるため、高速で動作する。さらに前記歪みS<sub>i</sub>層64は欠陥を含むことがなく、キャリア電子の散乱も最小化される。

【0040】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0041】

【発明の効果】請求項1～10記載の本発明の特徴によれば、欠陥の少ない良質の歪みS<sub>i</sub>層を容易に、かつ確実に形成することが可能で、その結果電子移動度の非常に大きい活性層を有する高速半導体装置を実現することが可能になる。

【図面の簡単な説明】

【図1】歪みS<sub>i</sub>層を使った高速半導体装置の原理を説明する図である。

【図2】従来の歪みS<sub>i</sub>層を含む説明半導体構造を示す図である。

【図3】(A)～(C)は、本発明の原理を示す図である。

【図4】本発明の原理を示す別の図である。

【図5】(A)～(C)は、本発明の第1実施例によるSSOI構造の製造方法を示す図(その1)である。

【図6】(D)、(E)は、本発明の第1実施例によるSSOI構造の製造方法を示す図(その2)である。

【図7】(A)、(B)は、本発明の第2実施例によるSSOI構造を示す図である。

【図8】(A)、(B)は、本発明の第3実施例によるCMOSインバータの製造方法を示す図(その1)である。

【図9】(C)、(D)は、本発明の第3実施例によるCMOSインバータの製造方法を示す図(その2)である。

【図10】(E)、(F)は、本発明の第3実施例によるCMOSインバータの製造方法を示す図(その3)である。

【図11】(G)、(H)は、本発明の第3実施例によ

(7)

特開2001-168342

るCMOSインバータの製造方法を示す図(その4)である。

【図12】(I)は、本発明の第3実施例によるCMOSインバータの製造方法を示す図(その5)である。

【符号の説明】

11, 21, 31, 41, 51, 61 S<sub>1</sub> 基板  
12, 25, 27, 35, 42, 52, 65 絶縁膜  
13, 15, 22, 22A, 24, 32A, 32B, 34, 62A, 62B, 64 S<sub>1</sub> 層  
14, 23, 33, 63 S<sub>1</sub>Ge 混晶層

\*10

\* 66 热酸化膜

67 導体層

67A, 67B ゲート電極

68A, 68B レジストパターン

69A, 69B n'型逆散領域

69C, 69D p'型逆散領域

70 パッジベーション膜

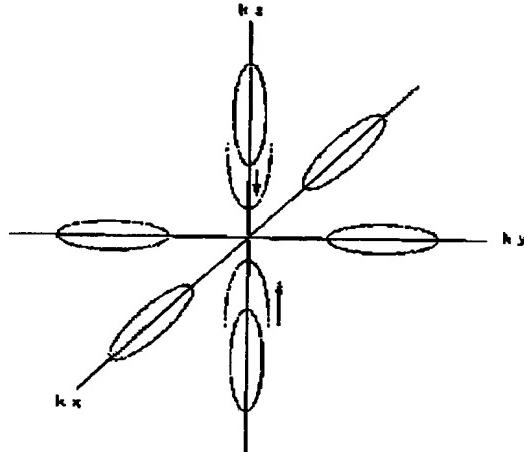
70A, 70B, 70C, 70D コンタクトホール

71A, 71B, 71C 電極パターン

12

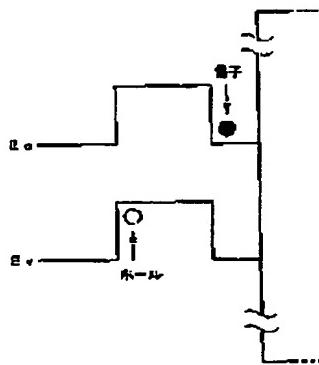
11

【図1】

正味S<sub>1</sub>層を使った高純度導体装置の原理を説明する図

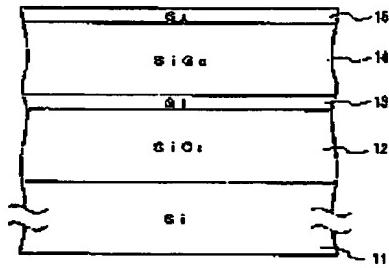
【図4】

本発明の原理を示す回路図



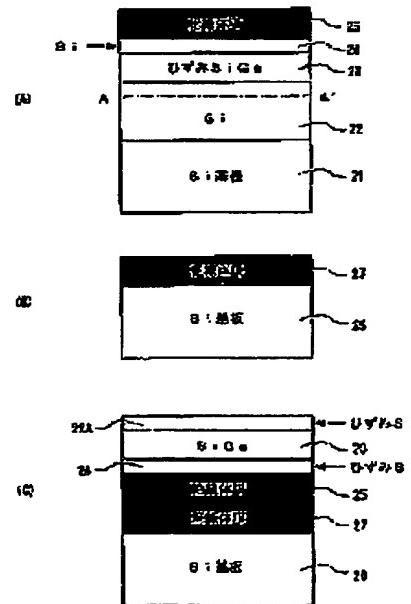
22 | 23 | 24 | 25

【図2】

走査の空きS<sub>1</sub>層を含む積層半導体構造を示す図

【図3】

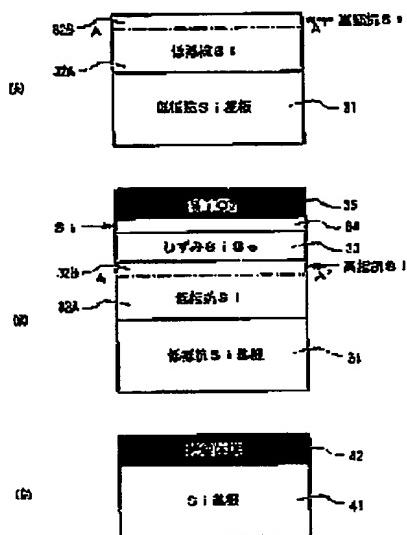
本発明の原理を示す図



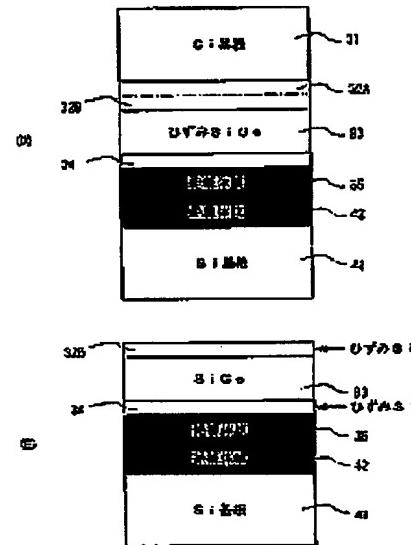
(8)

特開2001-168342

【図5】

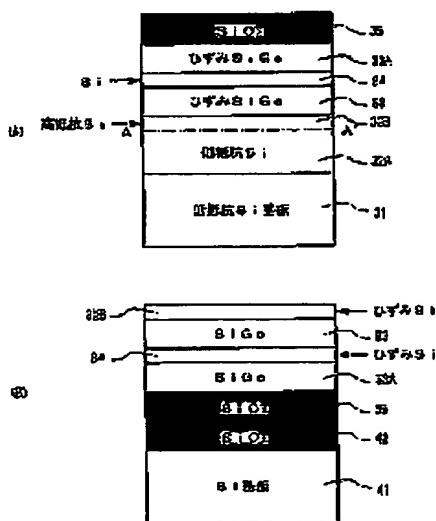
本発明の第1実施例によるMOSFET構造の  
製造方法を示す図(その1)

【図6】

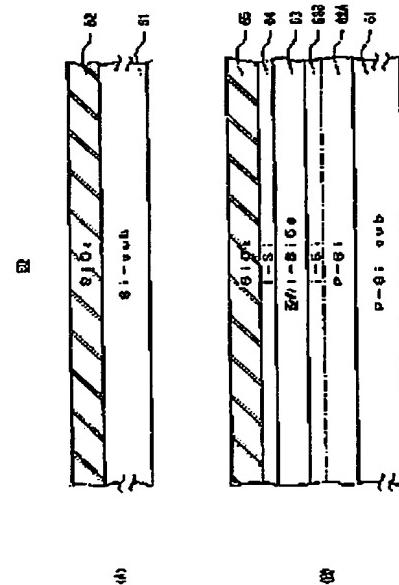
本発明の第1実施例によるMOSFET構造の  
製造方法を示す図(その2)

【図7】

本発明の第2実施例によるMOSFET構造を示す図



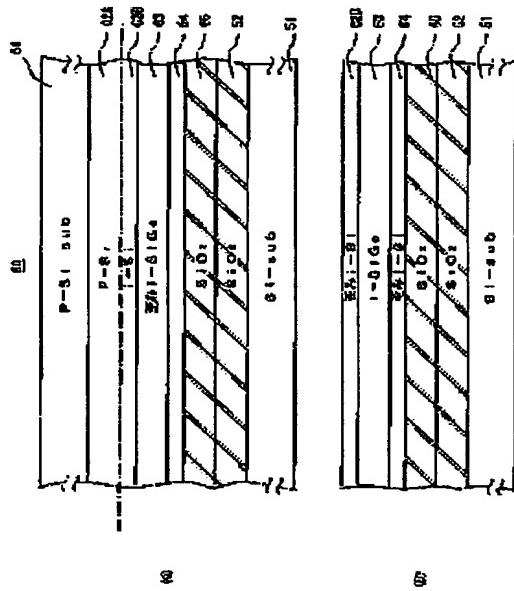
【図8】

本発明の第8実施例によるCMOSインバータの  
製造方法を示す図(その1)

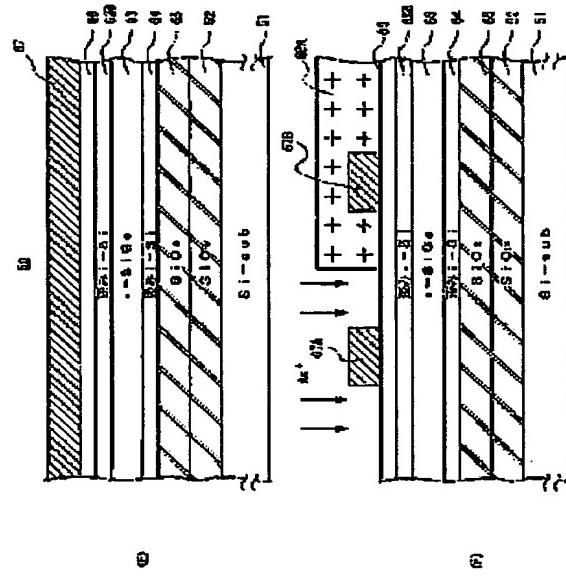
(9)

特開2001-168342

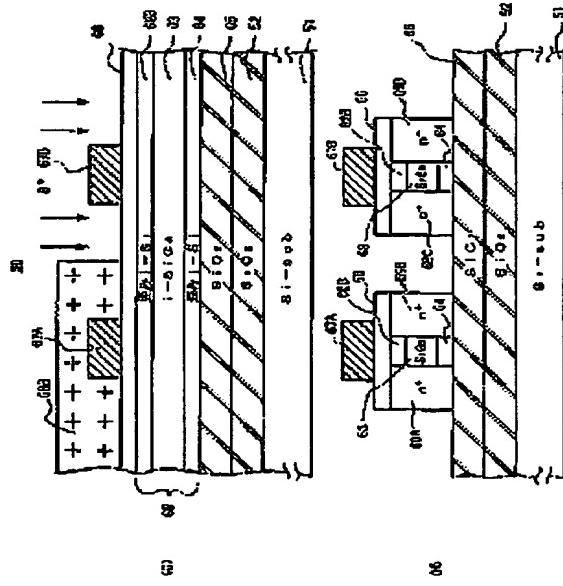
[図9]

本発明の第3実施例によるCMOSインバータの  
製造方法を示す図(その2)

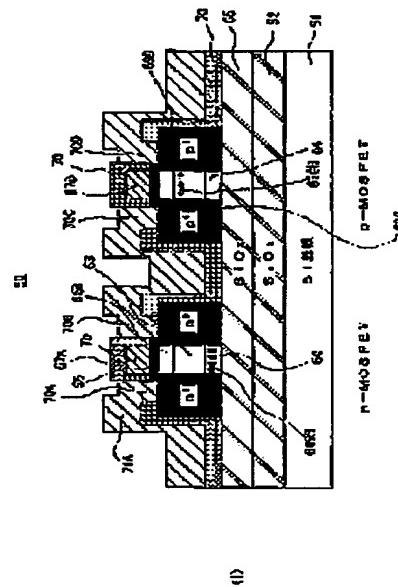
[図10]

本発明の第3実施例によるCMOSインバータの  
製造方法を示す図(その3)

[図11]

本発明の第3実施例によるCMOSインバータの  
製造方法を示す図(その4)

[図12]

本発明の第3実施例によるCMOSインバータの  
製造方法を示す図(その5)

(10)

特開2001-168342

フロントページの焼き

F ターム(参考) SF048 AA08 AB04 AC03 BA09 BB05  
SF110 BB04 CC02 DD05 DD13 DD14  
EE04 EE09 FF02 GG01 GG02  
GG07 GG12 GG19 GG25 GG34  
GG44 GG47 GG58 HJ13 NN02  
NN24 NN51 QQ17